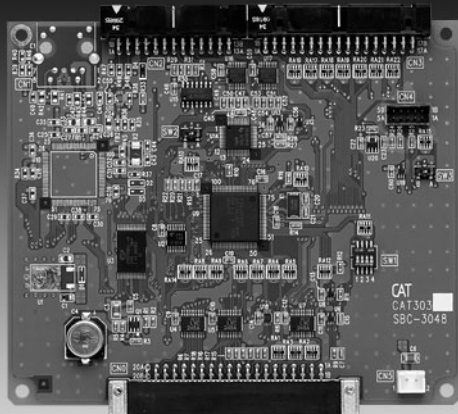


H8/3048F-ONE CPUボード CAT303 SBC-3048 取り扱い説明書



RoHS Compliant

2009.12.25 - 2012.10.12

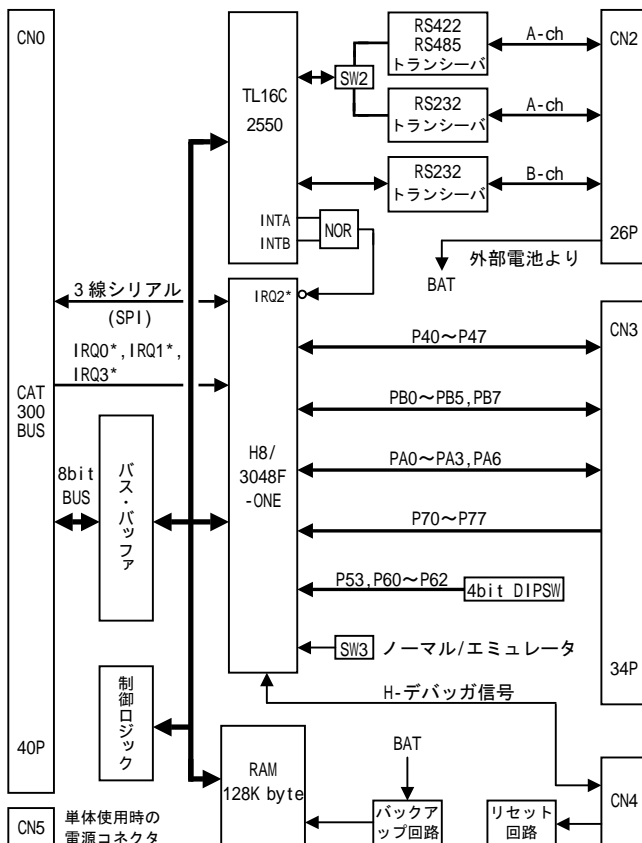
概要

CAT303 SBC-3048はルネサスエレクトロニクスの16ビットマイコンH8/3048F-ONEを搭載したCPUボードです。システムクロックは16.666MHzです。128Kバイトのプログラム用フラッシュROMをCPU内に蔵しているほか、データバックアップが可能な128KバイトのRAMをボードに実装しています。

入出力機能としてCPU内蔵の平行ポートや、TL16C2550によるシリアルポートを使用できるほか、CAT300シリーズのI/Oボードをバス接続することにより機能の拡張を柔軟に行なえます。

また、H8/3048F-ONEはオンチップデバッグ対応CPUなので「H-デバッガ」を使用したオンボードプログラミングやデバッグ作業などを簡単に行なうことができます。

ブロック図



仕様

CPU : H8/3048B グループ HD64F3048BF 通称 : H8/3048F-ONE
(ルネサスエレクトロニクス製)

- システムクロック : 16.666MHz
- メモリ :
 - [CPU内蔵フラッシュROM] 128Kバイト (16ビットデータバス)
 - [CPU内蔵RAM] 4Kバイト (16ビットデータバス)
 - [ボード上の増設RAM] 128Kバイト (8ビットデータバス)
- 平行ポート : 最大で28ビット使用可能
[ポート7]の8ビットは入力専用です。
他の20ビットは1ビット単位で入出力設定可能です
(平行ポートはI/Oピンが各種周辺機能と共用です)
A/D変換器 : 8チャンネル入力、逐次比較方式10ビットA/D
(ポート7の平行入力と入力ピンが共用です)
16ビット・インテグレートド・タイムユニット(ITU) :
 - ・8種類の内部および外部カウンタ入力クロックを選択可能
 - ・コンペアマッチによる波形出力・インプットキャプチャ機能など
- プログラマブル・タイミングパターン・コントローラ(TPC) :
ITUをタイムベースとしてプログラマブルなパターンパルスを出力
- ウォッチドッグダイマ(WDT) : タイマカウンタのオーバフロー時にCPUに対してリセット信号を発生
- 調歩同期式シリアルポート(UART) : 2チャンネル
DUAL UART IC「TL16C2550」を使用(テキサスインスツルメンツ製)
ビットレートは最大115200bpsまで設定可能
2チャンネル共RS232トランシーバIC実装済み
TXD、RXD、RTS、CTS信号をサポート
うち1チャンネルはRS422、RS485トランシーバICに切り替え可能
- 汎用DIPスイッチ : ユーザのモード設定など汎用的に使える4ビットDIPスイッチを実装
- データバックアップ : 外部に1次電池を接続することによりボード上の増設RAM(128Kバイト)をバックアップ
ボード上に短期間バックアップ用のスーパーキャパシタを実装済み
- 割り込み : CPU内蔵の割り込みコントローラにより外部割り込み(IRQn*)、内蔵周辺モジュール割り込みが可能
- リセット : リセットICによりパワーON時、及び5V電圧低下時にリセット信号を発生
- デバッガ : 「H-デバッガ」を接続してCPU内蔵フラッシュROMのオンボード書き込み、及びオンチップデバッグができます
- バス信号 : バス接続によりCAT300シリーズのI/Oボードを拡張可能
[データバス信号] D7 ~ D0 (8ビット)
[アドレス出力信号] A11 ~ A0 (12ビット)、SELO*
[制御出力信号] IOWR*、IORD*、RESET*
[割り込み入力信号] IRQ3*、IRQ1*、IRQ0*
[3線式シリアル信号] SCK、SMI、SMO
(3線式シリアル信号は「SPI」インターフェースを持つ拡張ボードをCAT300バスに接続時使用)
- 電源電圧 : 5V ± 5% 消費電流 : 80mA MAX
- 動作温度範囲 : 0 ~ 55 (結露のないこと)
- 基板 : 外形寸法 107 × 126mm (突起部除く) 質量 約74g
取付穴寸法 99 × 118mm (4 - 3.5)
材質 FR-4、1.6t、4層基板

H8/3048F-ONE及びTL16C2550の資料について

この取り扱い説明書はCAT303ボード固有の項目(本ボードのハードウェア構成、CPU内蔵レジスタの基本的な設定、コネクタのピン配列など)に関してのみ記述しています。

CAT303で使用している「H8/3048F-ONE」のマニュアルや資料はルネサスエレクトロニクスのWebサイトからダウンロードしていただくか、ルネサスエレクトロニクスの代理店などから入手して下さい。

- ・H8/3048Bグループ ハードウェアマニュアル
- ・H8/300Hシリーズ プログラミングマニュアル
- ・アプリケーションノート など

DUAL UART IC「TL16C2550」のマニュアルはテキサスインスツルメンツ(日本TI)のWebサイトからダウンロードして下さい。機能的にほぼコンパチブルな1チャンネルUART IC「TL16C550D」の日本語マニュアルも参考になります。

CPUの動作モード

本ボードで使用しているCPU(H8/3048F-ONE)には7種類の動作モードがあります。動作モードはCPUのモードピンMD2～MDOの設定によりハード的に決定されます。CAT303ではボード上の増設RAM(128Kバイト)や、CAT300バスへのアクセスを可能にするため「モード5(内蔵ROM

有効拡張モード)」で動作する様にモードピンMD2～MDOを設定しています。「モード5」はCPU内蔵のフラッシュROM(128Kバイト)が有効で、リセット後に8ビットバスの外部拡張アドレス空間が有効となり、データバス信号D15～D8、リード制御信号RD*およびライト制御信号HWR*が使用可能になります。なお、CPUの動作モードはハードで固定していますので他のモードには変更できません。

アドレスマップ

CAT303のアドレスマップを以下に示します。割付デバイス欄が空欄になっているアドレスは未使用領域です。但しこの未使用領域には

ボードに実装されているDUAL UART IC「TL16C2550」もしくはCAT300バスによる拡張I/Oエリア(4Kバイト)のイメージが出る領域がありません。

■ アドレスマップ

アドレス	エリア	割付デバイス	サイズ	バス幅	
H' 00000 ~ H' 1FFFF	エリア0	H8/3048F-ONE内蔵のフラッシュROM	128Kバイト	16ビット	
H' 20000 ~ H' 3FFFF	エリア1		128Kバイト		
H' 40000 ~ H' 5FFFF	エリア2		128Kバイト		
H' 60000 ~ H' 7FFFF	エリア3		128Kバイト		
H' 80000 ~ H' 9FFFF	エリア4		128Kバイト		
H' A0000 ~ H' BFFFF	エリア5	ボード上の増設RAM	128Kバイト	8ビット	
H' C0000 ~ H' C0FFF	エリア6	CAT300バスによる拡張I/Oエリア	4Kバイト		
H' C1000 ~ H' DFFFF			124Kバイト		
H' E0000 ~ H' F7FFF	エリア7		96Kバイト		
H' F8000 ~ H' F83FF		リザーブエリア	1Kバイト		
H' F8400 ~ H' F9FFF			7Kバイト		
H' FA000 ~ H' FA007		TL16C2550-Achレジスタ	8バイト		
H' FA008 ~ H' FBFFF			8K-8バイト		
H' FC000 ~ H' FC007		TL16C2550-Bchレジスタ	8バイト		
H' FC008 ~ H' FDFFF			8K-8バイト		
H' FE000 ~ H' FEF0F			3856バイト		
H' FEF10 ~ H' FFF0F			H8/3048F-ONE内蔵のRAM		4Kバイト
H' FFF10 ~ H' FFF1B					12バイト
H' FFF1C ~ H' FFFFF		H8/3048F-ONE内蔵のI/Oレジスタ	228バイト		

クロック発振器の設定

H8/3048F-ONEには外部接続された水晶振動子を元にしてクロックを生成するクロック発振器と分周器が内蔵されています。分周比コントロールレジスタ(DIVCR)によりシステムクロック()の周波数を水晶振動子(16.666MHz)の1/1~1/8に設定できますが通常は1/1の分周比

(16.666MHz)で使用して下さい。このシステムクロックは 端子に出力されると共に内蔵周辺モジュールクロックの基準クロックにもなっています。ボードに実装されているDUAL UART IC「TL16C2550」は、この 端子のクロックを入力してポーレートジェネレータの基準クロックとして使用していますのでモジュールスタンバイコントロールレジスタ(MSTCR)のPSTOPビットは" 出力を許可"に設定して下さい。

■ クロック発振器の設定 (システムクロック[φ]の分周比、出力設定など)

	レジスタ名称	略称	設定値 [bit7...bit0]	主な設定内容
☆	分周比コントロールレジスタ	DIVCR	[1111 1100]	クロック(φ)の分周比は1/1
☆	モジュールスタンバイコントロールレジスタ	MSTCR	[0100 0000]	クロック(φ)の出力を許可、全てのモジュールは通常動作

・★印のレジスタは必ず、☆印のレジスタは必要に応じて設定して下さい。設定値が0又は1のビットは指定値を、X印のビットは使用目的に合った値を設定して下さい。

バスコントローラの設定

CAT303ではH8/3048F-ONEを内蔵ROM有効、外部8ビットバス拡張モード(モード5)で使用しています。この場合、リセット直後にデータバス信号D15～D8、リード信号RD*およびライト信号HWR*が自動的に有効になりますが、アドレス信号は有効になりませんのでポート1データディレクションレジスタ(P1DDR)、ポート2データディレクションレジスタ(P2DDR)及びポート5データディレクションレジスタ(P5DDR)を設定してアドレスバス信号A16、A15～A0を有効にする必要があります。

また増設RAM、CAT300バス、UART-ICにアクセスするチップセレクト信号(CS5*、CS6*、CS7*)を有効にするために、チップセレクトコントロールレジスタ(CSCR)の設定が必要です。チップセレクトCS5* : 増設RAM(128Kバイト)へアクセスします。チップセレクトCS6* : CAT300バス接続の拡張ボードへアクセスします。チップセレクトCS7* : DUAL UART IC「TL16C2550」へアクセスします。なお、アクセスステート数とプログラマブルウェイト数は全エリア同じで「3ステートアクセス空間、2ステート挿入」に設定します。以下にバスコントローラの設定一覧表を示します。

■ バスコントローラの設定 (増設RAM、TL16C2550、CAT300バス用のアドレス、CS*出力やウェイトなどの設定)

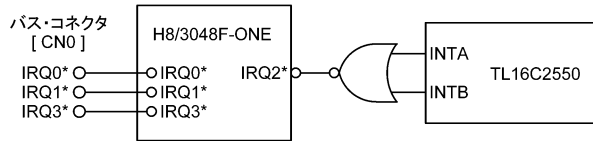
	レジスタ名称	略称	設定値 [bit7...bit0]	主な設定内容
☆	システムコントロールレジスタ	SYSCR	[X100 X011]	スタンバイタイマ、CCRのUIビット用途、RAMイネーブル
☆	バス幅コントロールレジスタ	ABWCR	[1111 1111]	全エリア:バス幅は8ビットに設定
☆	アクセスステートコントロールレジスタ	ASTCR	[1111 1111]	全エリア:3ステートアクセス空間に設定
★	ウェイトコントロールレジスタ	WCR	[1111 0010]	プログラマブルウェイトモード、2ステート挿入
☆	ウェイトステートコントロールイネーブルレジスタ	WCER	[1111 1111]	全エリアWSCの動作を許可
☆	バスリリースコントロールレジスタ	BRCR	[1111 1110]	バス権の外部に対する開放禁止
★	チップセレクトコントロールレジスタ	CSCR	[1110 1111]	CS7*、CS6*、CS5*を出力
★	ポート1データディレクションレジスタ	P1DDR	[1111 1111]	外部アドレスバスA7～A0を出力
★	ポート2データディレクションレジスタ	P2DDR	[1111 1111]	外部アドレスバスA15～A8を出力
★	ポート5データディレクションレジスタ	P5DDR	[1111 0001]	P53:[SW1]入力用ポート、P52,P51:未使用、P50:A16を出力

・★印のレジスタは必ず、☆印のレジスタは必要に応じて設定して下さい。設定値が0又は1のビットは指定値を、X印のビットは使用目的に合った値を設定して下さい。

割り込み

H8/3048F-ONEにはCPU内蔵周辺モジュール割り込みの他、外部割り込み入力としてIRQ0*~IRQ5*があります。本ボードではこの内IRQ0*~IRQ3*を割り込み入力として使用しています。

IRQ0*、IRQ1*、IRQ3*はCAT300バスからの割り込み要求入力に割り当てていますのでバスコネクタ【CN0】に接続しています。IRQ2*はDUAL



UART IC「TL16C2550」の割り込み出力INTA, INTBにORで接続しています。

CAT300バスからの割り込みやTL16C2550からの割り込みは、一つの割り込み信号線に複数の割り込み要求をOR接続していますのでH8/3048F-ONEのIRQセンスコントロールレジスタ (ISCR)は「Lowレベルで割り込み要求を発生」に設定して、割り込み要求元をポーリングで確定します。

■ 外部割り込み入力の割り付け先

H8/3048F-ONEの外部割り込み入力	割り付け先
IRQ0*	CAT300バスのIRQ0* (CN0の6Aピン)
IRQ1*	CAT300バスのIRQ1* (CN0の6Bピン)
IRQ2*	TL16C2550の割り込み (INTA or INTB)
IRQ3*	CAT300バスのIRQ3* (CN0の7Bピン)
IRQ4*	本ボードでは使用できません
IRQ5*	本ボードでは使用できません

■ 割り込み制御モード、CAT300バスの割り込み信号設定

	レジスタ名称	略称	設定値 [bit7...bit0]	主な設定内容
★	インタラプトプライオリティレジスタA	IPRA	[XXXX XXXX]	割り込みの優先順位設定
★	インタラプトプライオリティレジスタB	IPRB	[XXX0 XXX0]	割り込みの優先順位設定
★	IRQイネーブルレジスタ	IER	[0000 XXXX]	IRQ5*~IRQ0*のティセーブル/イネーブル設定
★	IRQセンスコントロールレジスタ	ISCR	[0000 0000]	IRQ5*~IRQ0*のセンスコントロール設定

・★印のレジスタは必ず、☆印のレジスタは必要に応じて設定して下さい。設定値が0又は1のビットは指定値を、X印のビットは使用目的に合った値を設定して下さい。

その他の設定

・ポート6データディレクションレジスタ

CPUを動作モード5で使用していますのでポート6の上位4ビット (P66~P63)はリセット解除後自動的にバス制御信号(RD*,HWR*等)になり、下位3ビット (P62~P60)は入力ポートになります。この下位3ビットは汎用DIPスイッチ【SW1】の入力に使用していますので、レジスタ設定は初期値から変更する必要はありません。

・ポート8データディレクションレジスタ

ポート8は5ビットのポートでリセット解除後P83~P80の4ビットは

割り込み兼用の入力ポートに設定されます。CAT303ではこのポートをバスなどからの割り込み入力として使っていますのでレジスタの設定は初期値のままで使用できます。なおポート (P84)はコネクタに引き出されていないので使用できません。

・ポート9データディレクションレジスタ

ポート9は6ビットのポートで2チャンネルのシリアルコミュニケーションインタフェース (SCI0,SCI1)と共用ピンになっています。CAT303ではSCI0をCAT300バスのシリアルインタフェース「SPI」信号として、SCI1を「H-デバッグ」専用のインタフェースとして使用しますのでレジスタの設定は初期値のままにして下さい。

■ I/Oポートの入出力(PxDDR)設定

	レジスタ名称	略称	設定値 [bit7...bit0]	主な設定内容
★	ポート4データディレクションレジスタ	P4DDR	[XXXX XXXX]	P47~P40: 入出力を設定
★	ポート6データディレクションレジスタ	P6DDR	[1000 0000]	LWR*,HWR*,RD*,AS*出力、P62~P60:[SW1]入力用ポート
★	ポート8データディレクションレジスタ	P8DDR	[1110 0000]	P84:未使用、P83~P80:IRQ3*~IRQ0*入力として使用
★	ポート9データディレクションレジスタ	P9DDR	[1100 0000]	SCI0:バスのSPI信号、SCI1:オンチップデバッグポート
★	ポートAデータディレクションレジスタ	PADDR	[0X00 XXXX]	PA7:未使用、PA5,PA4:CS5*,CS6*、他のビットは入出力を設定
★	ポートBデータディレクションレジスタ	PBDDR	[X0XX XXXX]	PB6:CS7*、他のビットは入出力を設定

・★印のレジスタは必ず、☆印のレジスタは必要に応じて設定して下さい。設定値が0又は1のビットは指定値を、X印のビットは使用目的に合った値を設定して下さい。

シリアルコミュニケーションインタフェース (SCI)

H8/3048F-ONEはシリアルコミュニケーションインタフェースを2チャンネル (SCI0,SCI1)内蔵していますが、CAT302ではSCI0をCAT300バスの「SPI」通信、SCI1をデバッグ接続用として使用していますのでユーザが他の目的で使用する事はできません。

チャンネル0の各信号 (SCK0, RXD0, TXD0)はバッファ ICを経由してバスコネクタ【CN0】に接続しています。これらの信号は [SPI] インターフェースの拡張ボードをCAT300バスに接続した場合、3線式シリアルバス信号として使用します。(SPIでは送受信動作をMSBから行なう仕様になっていますが、SCIの動作はLSBから始まりますのでSPI通信に合わせるため、送受信の前後でMSB~LSBの反転が必要です。また転送ビットレートは2.1Mbps Maxです)

(注記)シリアルコミュニケーションインタフェース (SCI0)を使用して、[SPI] インターフェースの拡張ボードとシリアル通信を行なう方法は弊社のホームページを参照して下さい。サンプルソフトなどを掲載しています。

チャンネル1のSCI信号 (SCK1, RXD1, TXD1)は、「H-デバッグ」接続用のインタフェース信号としてコネクタ【CN4】に接続しています。H8/3048F-ONEのオンチップデバッグ機能を利用したプログラムのデバッグや内蔵フラッシュROMへのプログラムのダウンロードは、このSCI1を使用して行ないません。

DUAL UART IC 「 TL16C2550 」

CAT303にはDUAL UART IC「TL16C2550」を実装していますので調歩同期通信を2チャンネル使用できます。TL16C2550はH8/3048F-ONEのクロック ()端子から出力された16.666MHzを使用してポーレートジェネレータの基準クロックにしています。ポーレートジェネレータはチャンネルごとにビットレートを選択可能で標準的なビットレート系列に合わせた場合、最大115200bpsまでのレートを設定できます。

[チャンネルA] : RS232またはRS422 (RS485)のインタフェースをスイッチ【SW2】の設定により選択できます。RS232選択時の送受信信号はTXAとRXAを使用します。RS422 (RS485)を選択時は (TXA+, TXA-) と (RXA+, RXA-) の2組の差動信号を使用します。このときモデム制御レジスタ (MCR) のDTRビットに"1"を書き込むとRS422 (RS485) ドライバの出力はイネーブルになり、"0"を書き込むとディセーブルになります。レシーバは常にイネーブルです。ドライバ出力とレシーバ入力を接続して2線式 (RS485) で使用する場合は、自分の送信データを自分でも受信することになりますので受信データの読み捨てが必要です。また終端抵抗は必要に応じて外部に接続して下さい。

【 SW2 】チャンネルAのインタフェース選択

SW2のレバー位置	インタフェース
A	RS232で使用
B	RS422 (RS485) で使用

[チャンネルB] : RS232インタフェースのみで使用できます。RS422(RS485)では使用できません。またスイッチなどハードの設定はありません。

TL16C2550に内蔵しているレジスタのアドレスマップをチャンネル別に示します。(TL16C2550はチップセレクトCS7*で選択されます)

TL16C2550 A-ch レジスタ アドレス

アドレス	選択内容
H'FA007	A-ch スクラッチ・レジスタ
H'FA006	A-ch モデム・ステータ・スレジスタ
H'FA005	A-ch ライン・ステータ・スレジスタ
H'FA004	A-ch モデム制御レジスタ
H'FA003	A-ch ライン制御レジスタ
H'FA002	A-ch 割込み識別レジスタ/FIFO制御レジスタ
H'FA001	A-ch 割込みイネーブル・レジスタ / DLM
H'FA000	A-ch 受信バッファ/送信レジスタ / DLL

TL16C2550 B-ch レジスタ アドレス

アドレス	選択内容
H'FC007	B-ch スクラッチ・レジスタ
H'FC006	B-ch モデム・ステータ・スレジスタ
H'FC005	B-ch ライン・ステータ・スレジスタ
H'FC004	B-ch モデム制御レジスタ
H'FC003	B-ch ライン制御レジスタ
H'FC002	B-ch 割込み識別レジスタ/FIFO制御レジスタ
H'FC001	B-ch 割込みイネーブル・レジスタ / DLM
H'FC000	B-ch 受信バッファ/送信レジスタ / DLL

(注記) TL16C2550の割り込み信号はチャンネル毎にそれぞれINTA、INTB端子から出力されますがリセット時のINTA、INTB端子は3ステートのハイインピーダンス状態になっていますので、各チャンネルのモデム制御レジスタ(MCR)のビット3(OUT2_0Pcontrol_INTenable)を"1"にイニシャライズしてINTA、INTB出力を有効にして使用して下さい。

パラレルI/O

CPU内蔵のパラレルI/Oを最大で28ビット使用できます。これらのパラレルI/OはCPU内蔵の各種周辺機能と入出力ピンを共用していますので、周辺機能として使用するピンはパラレルI/Oとして使用できません。本ボードで使用可能なパラレルI/Oは次の通りです。

[P40~P47]	8bit	ビット単位で入出力可	10K	でプルアップ
[P70~P77]	8bit	全ビット入力専用	1M	でプルダウン
[PA0~PA3]	4bit	ビット単位で入出力可	10K	でプルアップ
[PA6]	1bit	入出力可	10K	でプルアップ
[PB0~PB5]	6bit	ビット単位で入出力可	10K	でプルアップ
[PB7]	1bit	入出力可	10K	でプルアップ

(注記) ポート[P70~P77]はA/Dコンバータ(AN0~AN7)と入力ピンを共用していますので、入力ピンは1M でGNDにプルダウンしています。プルアップが必要な場合は外部に抵抗を接続して5V(VCC)ラインにプルアップして下さい。

A/Dコンバータ

H8/3048F-ONEには逐次比較方式の10ビットA/Dコンバータが内蔵されており、最大8チャンネル(AN0~AN7)のアナログ信号を入力することができます。A/D変換動作のスキャンモードでは、選択された複数のチャンネルを繰り返して連続変換させることができます。

AN0~AN7の各入力ピンは1M の抵抗でGNDにプルダウンしています。H8/3048F-ONEのアナログ用電源ピンAVCCとA/Dコンバータの基準電圧ピンVREFは、5V(VCC)ラインに接続してあります。

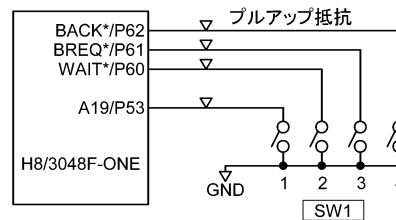
A/Dコンバータを使用しない場合はAN0~AN7ピンにマルチプレクスされているポートP70~P77を入力ポートとして使用できます。

また、A/DコンバータのAN6とAN7ピンはH8/3048F-ONE内蔵のD/Aコンバータ出力のDAOとDA1にそれぞれマルチプレクスされています。

汎用DIPスイッチ

各種動作設定やモード設定などに汎用的に使用できる4ビットのDIPスイッチ【SW1】を実装しています。

DIPスイッチの状態はパラレルポートのP53, P60~P62を使用して入力します。DIPスイッチと入力ポートのビット対応は下図のようになっており、スイッチがONのビットは"0"、OFFのビットは"1"として読み込まれます。



データのバックアップ

スーパーキャパシタを実装していますのでボード上の増設RAMのバックアップができます。(CPU内蔵のRAMはバックアップできません) 長期間のバックアップが必要な場合はコネクタ【CN2】にバックアップ用の電池を接続して下さい。

●スーパーキャパシタによるバックアップ

ボード上のスーパーキャパシタにより約10日間程度の短期間のバックアップができます。本ボードに5分以上通電することでスーパーキャパシタは満充電されます。

●電池による長期間のバックアップ

使用できる電池は公称電圧3~4Vの1次電池で、2次電池(充電電池)は使用できません。性能的にリチウム電池が最適です。

【CN2-4A】に電池のプラス(+)側を接続して下さい。

【CN2-4B】に電池のマイナス(-)側を接続して下さい。

電池によるバックアップ時間の計算例

610mAhのリチウム電池(CR2450)でバックアップする場合、バックアップ時間は以下のように計算できます。(Ta=0~40)

$$T = \frac{B \times 1000}{I_m + I_b} = \frac{610 \times 1000}{2.5 + 1.0} = 174285 \text{ 時間} \quad 19.8 \text{ 年}$$

T: バックアップ時間 (h) B: 電池容量 (mAh)
I_m: メモリ保持電流 (μA) I_b: 電池自己放電電流等 (μA)

リセット

リセットICにより以下の条件でリセット状態になります。リセット状態はリセット発生条件解除後、約100mSEC間保持されます。

- ・パワーONリセット: 電源投入時に発生
- ・電圧低下時: 電源の5Vラインが約4.2V以下になった時に発生

その他「H-デバッグ」接続用コネクタ【CN4】のRES*入力がLOWレベル時にもリセット状態になりますが、この場合はRES*入力がHIに戻ると同時に即リセットは解除されます。

増設ボードのアドレス

CAT300バスを使用して増設したI/Oボードにアクセスする場合のアドレスについて説明します。

本ボードのCAT300バスコネクタ【CNO】には、アドレス信号として"AO~A11"の12ビットを出力しています。

また、バスコネクタにセレクト信号SELO*を出力しており、CAT300バスに割り当てている4Kバイトのアドレス範囲「H'CO000~H'COFFF」をCPU(H8/3048F-ONE)がアクセスしている時、このセレクト信号SELO*がイネーブル(Low)になります。

一方、CAT300バスに増設する各I/Oボードにはアドレス設定用のDIPスイッチが実装されています。このDIPスイッチで設定した、ボードの先頭アドレスとCAT300バス上のアドレス信号が一致し、且つ先のセレクト信号SELO*がイネーブルになった時に、増設した各I/Oボードにアクセスできます。

例1: CAT305 D10-24/24ボードを増設し、ボード上のDIPスイッチで先頭アドレスとして"038H"を選択した場合のボードアドレスは次の範囲になります。 " H'CO038 ~ H'CO03D "

例2: CAT308 S10-4ボードを増設し、ボード上のDIPスイッチで先頭アドレスとして"220H"を選択した場合のボードアドレスは次の範囲になります。 " H'CO220 ~ H'CO23F "

例3: CAT309 MC-2ボードを増設し、ボード上のDIPスイッチで先頭アドレスとして"000H"を選択した場合のボードアドレスは次の範囲になります。 " H'CO000 ~ H'CO00F "

- ・各増設I/Oボードのアドレスは重複しないように設定して下さい。
- ・増設I/Oボードのアドレスの設定方法は、各ボードの取り扱い説明書を参照して下さい。

コンパイラ・デバッガ・フラッシュROMの書き込み

・ルネサスのCコンパイラを使用する場合は、コンパイラバージョン「6.01.00」以降を使用して下さい。またGNU/gcc使用の場合は、H8Sモードで使用して下さい。

- ・コネクタ【CN4】に「H-デバッガ」を接続することにより、CPUのオンチップエミュレーション機能を利用したプログラムデバッグとCPU内蔵フラッシュROMへの書き込みができます。スイッチ【SW3】のレバー位置を"A"側に設定すると通常のプログラム実行モードになります。"B"側に設定するとオンチップエミュレーションモードになり、デバッグやフラッシュROMの書き込みが可能になります。

【 SW3 】 CPUの動作モード選択

SW3のレバー位置	CPUの動作
A	通常の動作モード
B	オンチップエミュレーションモード

- ・以下のCPU端子はデバッガが占有しますので、これらの端子に割り付けられているポートや周辺モジュール機能は使用できません。

[P91/TXD1、 P93/RXD1、 P95/SCK1/IRQ5*、 FWE]

- ・外部バス関連レジスタの設定用スクリプトファイルをあらかじめ用意しておき、「H-デバッガ」でのデバッグ時、[ファイル] -> [スクリプト実行]で、用意しておいたスクリプトファイルを実行させること、CPU(H8/3048F-ONE)の8ビット外部バスが有効になりボード上の増設RAMやTL16C2550及びCAT300バスの拡張I/Oボードに対してメモリダンプ・メモリセットなどのコマンドが使用できるようになります。また、[オプション] -> [CPU設定] -> [外部RAM時のBSC設定スクリプト指定] の [許可] にチェックを入れてスクリプトファイルを指定しておいても、ユーザプログラムのダウンロード時や【RstMon】、【Reset】コマンド実行時に自動的にスクリプトファイルが実行されて外部バスアクセスが可能になります。スクリプトファイルの例(CAT303-BSC.log)を右に示します。

スクリプトファイルの例

```
//
// CAT303 SBC-3048 用 外部バス関連レジスタ設定スクリプト
//
// CAT303-BSC.log
//
// このスクリプトを実行することにより外部バス関連のレジスタが
// 初期設定され、ボード上の増設RAM、TL16C2550、CAT300バスへの
// アクセスが可能になります。
//
// クロック( ) ... 16.666MHz
// 増設RAM(128KB) ... (エリア5: 0xA0000~0xBF000)
// CAT300バス ... (エリア6: 0xC0000~0xC0FFF)
// TL16C2550 A-ch ... (エリア7: 0xFA000~0xFA007)
// TL16C2550 B-ch ... (エリア7: 0xFC000~0xFC007)
//
// (コメントは、コマンド実行ラインに記述しないで下さい。)
//
// バス幅コントロールレジスタ
// [全エリア: 8ビットアクセス空間]
<S ABWCR 0xff

// アクセスステートコントロールレジスタ
// [全エリア: 3ステートアクセス空間]
<S ASTCR 0xff

// ウェイトコントロールレジスタ
// [プログラマブルウェイトモード、2ステート挿入]
<S WCR 0xf2

// ウェイトステートコントローライネーブルレジスタ
// [全エリア: WSCの動作を許可]
<S WCER 0xff

// バスリリースイネーブルレジスタ
// [バス権の外部に対する解放を禁止]
<S BRCR 0xfe

// チップセレクトコントロールレジスタ
// [CS7~CS5:出力許可、CS4:出力禁止]
<S CSCR 0xef

// ポート1データディレクションレジスタ
// [外部アドレスバスA7~A0出力]
<S P1DDR 0xff

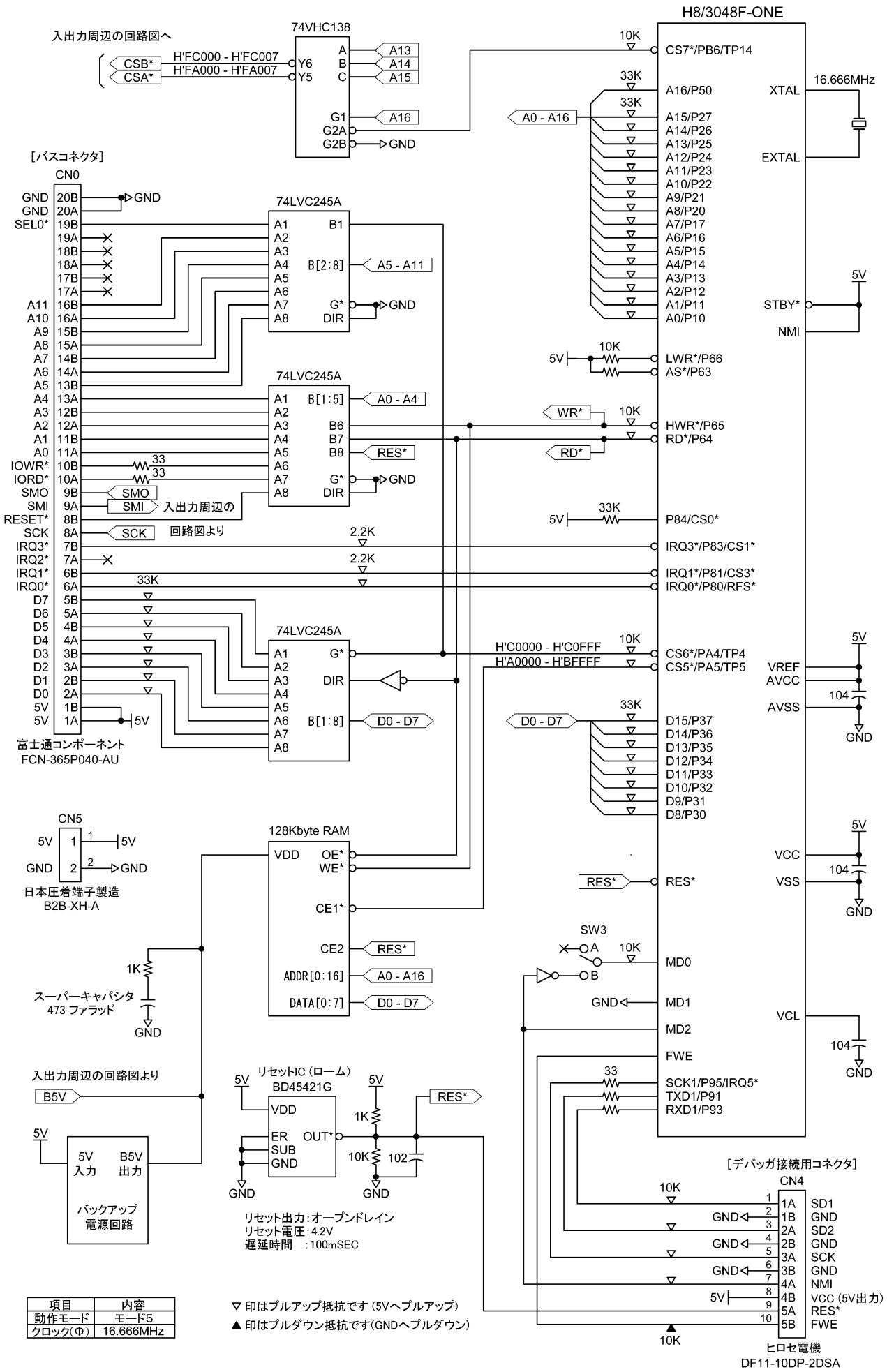
// ポート2データディレクションレジスタ
// [外部アドレスバスA15~A8出力]
<S P2DDR 0xff

// ポート5データディレクションレジスタ
// [P53~P51:入力、P50:外部アドレスバスA16出力]
<S P5DDR 0xf1

// 分周比コントロールレジスタ
// [クロック( )の分周比は1/1]
<S DIVCR 0xfc

// モジュールスタンバイコントロールレジスタ
// [クロック( )出力許可、全モジュール通常動作]
<S MSTR 0x40
```

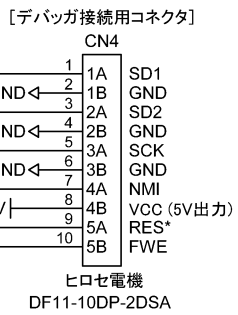
CAT303 SBC-3048 バス周辺の回路図



項目	内容
動作モード	モード5
クロック(Φ)	16.666MHz

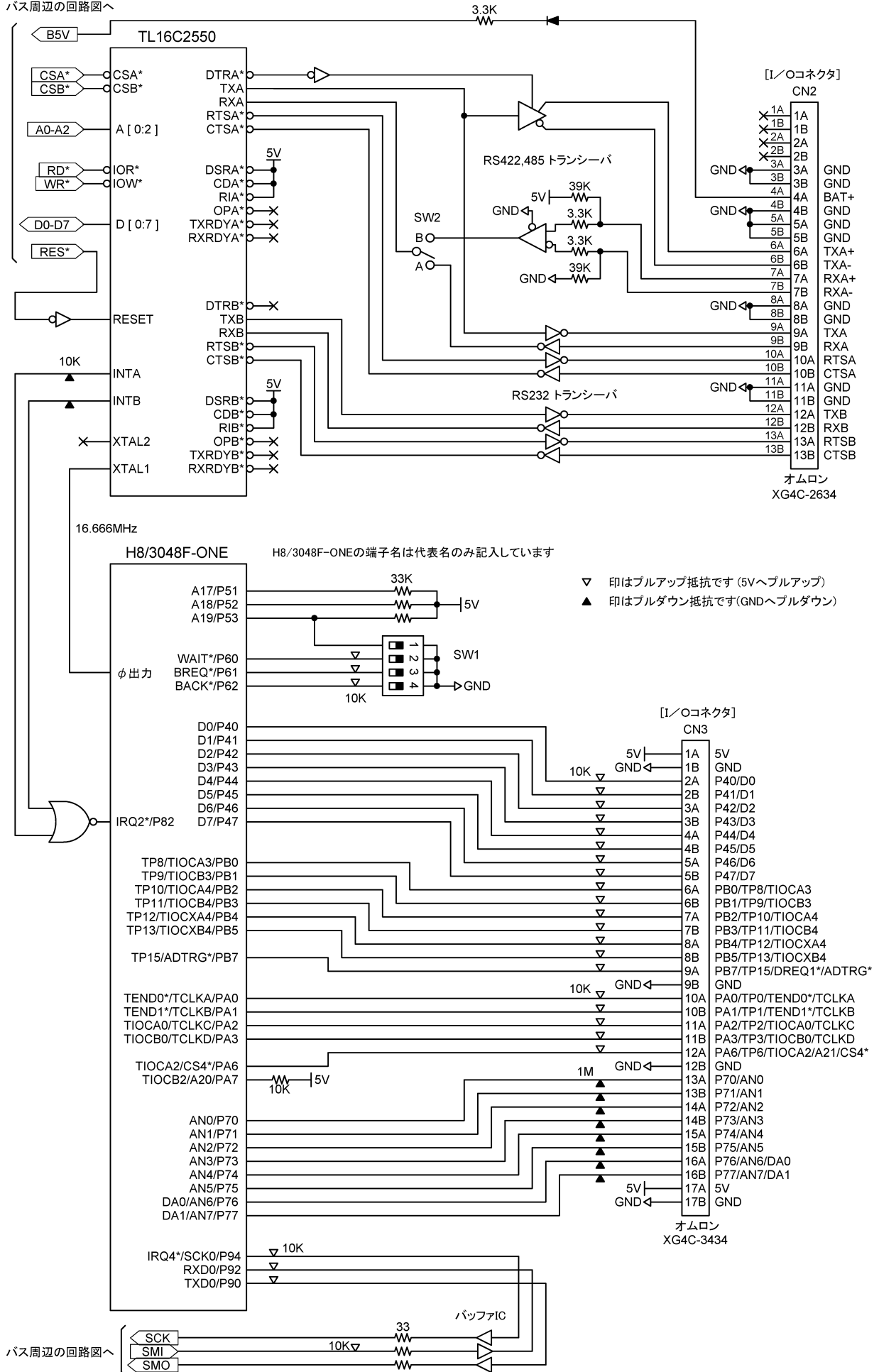
▽印はプルアップ抵抗です(5Vへプルアップ)
 ▲印はプルダウン抵抗です(GNDへプルダウン)

リセットIC (ローム)
 BD45421G
 リセット出力: オープンドレイン
 リセット電圧: 4.2V
 遅延時間 : 100mSEC

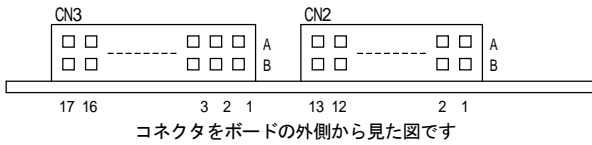


CAT303 SBC-3048 入出力周辺の回路図

バス周辺の回路図へ



I/Oコネクタ(CN2, CN3)のピン配列



【 CN2 】ピン配列

信号名	ピン番	信号名
	1A 1B	
	2A 2B	
GND	3A 3B	GND
BAT+	4A 4B	GND
GND	5A 5B	GND
TXA+ (RS422, 485)	6A 6B	TXA- (RS422, 485)
RXA+ (RS422, 485)	7A 7B	RXA- (RS422, 485)
GND	8A 8B	GND
TXA (RS232)	9A 9B	RXA (RS232)
RTSA (RS232)	10A 10B	CTSA (RS232)
GND	11A 11B	GND
TXB (RS232)	12A 12B	RXB... (RS232)
RTSB (RS232)	13A 13B	CTSB (RS232)

- ・信号名が無記入のピンは、本ボードでは使用していません。
- ・(RS422, 485)はRS422, 485レベル、(RS232)はRS232レベルの信号です。

【 CN3 】ピン配列

信号名	ピン番	信号名
5V	1A 1B	GND
P40/D0	2A 2B	P41/D1
P42/D2	3A 3B	P43/D3
P44/D4	4A 4B	P45/D5
P46/D6	5A 5B	P47/D7
PB0/TP8/TIOCA3	6A 6B	PB1/TP9/TIOCB3
PB2/TP10/TIOCA4	7A 7B	PB3/TP11/TIOCB4
PB4/TP12/TOCXA4	8A 8B	PB5/TP13/TOCXB4
PB7/TP15/ADTRG*/RQ1*	9A 9B	GND
PA0/TP0/TENDO*/TCLKA	10A 10B	PA1/TP1/TEND1*/TCLKB
PA2/TP2/TIOCA0/TCLKC	11A 11B	PA3/TP3/TIOCB0/TCLKD
PA6/TP6/TIOCA2/A21/CS4*	12A 12B	GND
P70/AN0	13A 13B	P71/AN1
P72/AN2	14A 14B	P73/AN3
P74/AN4	15A 15B	P75/AN5
P76/AN6/DA0	16A 16B	P77/AN7/DA1
5V	17A 17B	GND

- ・5Vは本ボードからの出力です。

H-デバッグ用コネクタ(CN4)のピン配列

【 CN4 】ピン配列

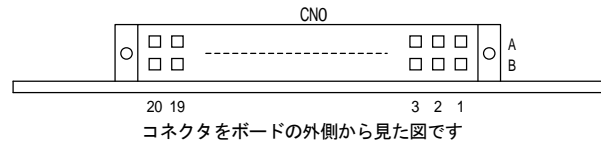
ピン番号	H-debuggerの信号名	機能
1A	SD1	シリアルデータ入力
2A	SD2	シリアルデータ出力
3A	SCK	シリアルクロック
4A	NMI	MDO, MD2
5A	RES*	リセット入力
1B, 2B, 3B	GND	GND
4B	VCC	5V出力
5B	FWE	FWE/BRK

単体使用時の電源コネクタ(CN5)のピン配列

【 CN5 】ピン配列

ピン番号	信号名	機能
1	5V	本ボードを単体で使用する場合はこのコネクタから電源を供給して下さい
2	GND	

バスコネクタ(CN0)のピン配列



【 CN0 】ピン配列 (CAT300バス)

信号名	ピン番	信号名
5V	1A 1B	5V
D0	2A 2B	D1
D2	3A 3B	D3
D4	4A 4B	D5
D6	5A 5B	D7
IRQ0*	6A 6B	IRQ1*
IRQ2*	7A 7B	IRQ3*
SCK	8A 8B	RESET*
SMI	9A 9B	SMO
IORD*	10A 10B	IOWR*
A0	11A 11B	A1
A2	12A 12B	A3
A4	13A 13B	A5
A6	14A 14B	A7
A8	15A 15B	A9
A10	16A 16B	A11
	17A 17B	
	18A 18B	
	19A 19B	SELO*
GND	20A 20B	GND

- ・信号名が無記入のピンは、本ボードでは使用していません。
- ・(8A)ピンのSCK信号はH-デバッグ(CN4)のSCK信号とは無関係です。

コネクタの型番

バスコネクタCN0の型番 (富士通コンポーネント)

名称	CN0型番
ライトアングルプラグ(基板側)	FCN365P040-AU (A3金具2個使用)
ストレートジャック(バックプレーン側)	FCN364J040-AU

入出力用コネクタCN2, CN3の型番 (オムロン)

名称	CN2型番	CN3型番	備考
ヘッダー(基板側)	XG4C-2634	XG4C-3434	
ソケット+ストレーンリリーフ	XG4M-2630-T	XG4M-3430-T	付属品
2列ソケット(バラ線圧圧用)	XG5M-2632-N	XG5M-3432-N	AWG24用
セミカバー(バラ線圧圧用)	XG5S-1301	XG5S-1701	
ロックレバー	XG4Z-0002		

H-デバッグ用コネクタCN4の型番 (ヒロセ電機)

名称	CN4型番
ストレートピンヘッダ(基板側)	DF11-10DP-2DSA(01)
圧着ソケット	DF11-10DS-2C
ソケット圧着端子(AWG24~28用バラ端子)	DF11-2428SCA

コネクタCN5の型番 (日本圧着端子製造)

名称	CN5型番	備考
ポスト(基板側)	B2B-XH-A	
ハウジング	XHP-2	付属品
コンタクトピン	BXH-001T-P0.6	付属品

注意!! 本製品を不適切な状態で使用されると発火・誤作動の可能性があり危険です

- 仕様範囲外の電圧を加えたり、過負荷で使用しないで下さい。
- サージ、ノイズ等が本製品に加わらない様、十分なノイズ対策を行って下さい。
- 本製品は人命にかかわる状況や、極めて高い信頼性が要求される用途を目的として設計・製造されたものではありません。

エーワン株式会社

〒486-0852 愛知県春日井市下市場町 6-9-20
TEL/FAX 0568-85-8511/8501
http://www.aone.co.jp/