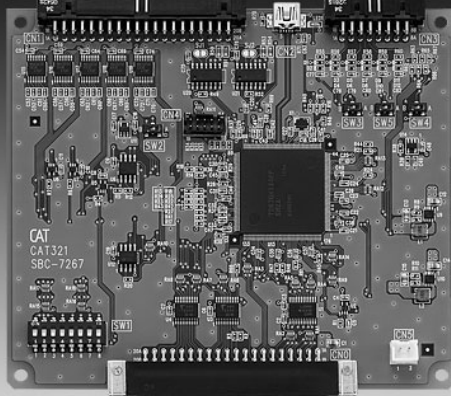


SH-2A/SH7267 CPUボード
CAT321 SBC-7267
 取り扱い説明書



RoHS Compliant

2012.09.24 - 2014.07.11

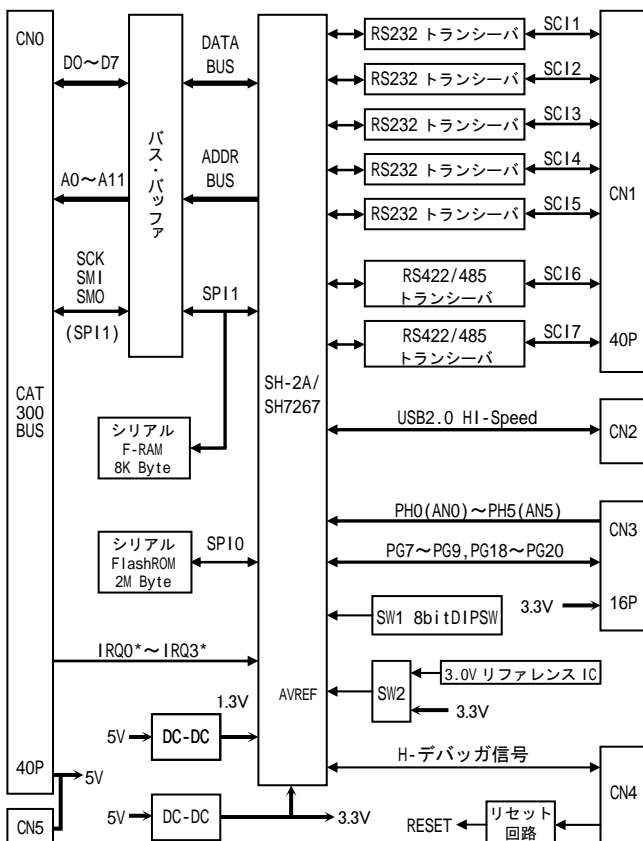
概要

CAT321 SBC-7267はルネサスエレクトロニクス(株)の32ビット高性能RISCマイコンSH-2A/SH7267を搭載したCPUボードです。 CPUは144MHzで動作し浮動小数点ユニット、キャッシュ、1.5MBの大容量RAM、64KBの高速RAMなどを内蔵しています。またボード上に2MBのシリアルフラッシュROM、8KBの不揮発性シリアルF-RAMを搭載しています。

CAT321の入出力機能として5chのRS232、2chのRS485(422)やパラレルポートを使用できるほか、バスにCAT300シリーズのI/Oボードを接続することで、入出力機能の拡張を簡単に行なうことができます。

また、SH-2A/SH7267はエミュレータ用ユーザデバッグインタフェースを内蔵していますので、「H-デバッグ」を使用してオンボードプログラミングやデバッグ作業を行なうことができます。

ブロック図



仕様

CPU : SH-2A/SH7267グループ R5S72670W144FP (ルネサスエレクトロニクス製)

- 水晶発振器の周波数 : 48.00MHz (クロック動作モード1)
- CPUクロック(I) : 144.00MHz (水晶発振器の3倍)
- 外部バスクロック(B) : 72.00MHz (Iの1/2倍)
- 周辺クロック(P) : 36.00MHz (Iの1/4倍)
- 浮動小数点ユニット : 単精度及び倍精度をサポート、IEEE754準拠
- キャッシュ : 命令キャッシュ:8K/オペランドキャッシュ:8Kバイト
- メモリ :
 - ・SH7267内蔵大容量RAM : 1.5Mバイト
 - ・SH7267内蔵高速RAM : 64Kバイト
 - ・シリアルフラッシュメモリ : 2Mバイト (プログラム等格納用)
 - Micron:M25P16-VMN6Pまたは相当品、100,000回書き換え可能
 - ・シリアルF-RAM : 8Kバイト (電源OFF時のデータバックアップ用)
 - Cypress:FM25CL64B-Gまたは相当品、10¹⁴ 回リード/ライト可能
- 調歩同期シリアルポート : 7チャンネル
 ビットレートは115200bpsまで使用可能 (SCEMRのBGDM=1、ABCS=1)
 CH1~CH5 : RS232トランシーバIC実装済、TXD,RXD,RTS,CTS信号をサポート(但しRTS,CTSはパラレルポートでの代用になります)
 CH6,CH7 : RS485(422)トランシーバIC実装済
- パラレルI/O : 12ビット使用可能
 [ポートH]の6ビットは入力専用です。
 [ポートG]の6ビットは1ビット単位で入出力設定可能です (注記 : パラレルI/Oの信号レベルは3.3VのCMOSレベルです)
 A/D変換器 : 6チャンネル、逐次比較方式10ビットA/D (ポートHのパラレル入力と信号ピンが共用です)
 3.0Vの電圧リファレンスICを実装済 (TI:LM4132CMF-3.0)

- タイマ : CPU内蔵の以下のタイマを使用可能です
 - ・マルチファンクションタイマパルスユニット
 - ・コンペアマッチタイマ
 - ・ウォッチドッグタイマ
- USB2.0 ファンクションコントローラ :
 ハイスピード対応、USB miniBコネクタを実装済
 I²Cインターフェース : 2チャンネル
 (バスコネクタの割り込み信号と排他的使用になります)
- 汎用DIPスイッチ : ユーザのモード設定などに汎用的に使える8ビットDIPスイッチを実装済
 割り込み : CPU内蔵コントローラにより外部割り込み(IRQn*)、内蔵周辺モジュール割り込みを16レベルで制御
- リセット : リセットICによりパワーON時、及び5V電圧低下時にリセット信号を発生
- デバッグ : 「H-デバッグ」を接続してシリアルフラッシュROMのプログラミングやデバッグ作業ができます。
- バス信号 : バスによりCAT300シリーズのI/Oボードを拡張可能
 [データバス信号] D7 ~ D0 (8ビット)
 [アドレス出力信号] A11 ~ A0 (12ビット)、SELO*
 [制御出力信号] IOWR*、IORD*、RESET*
 [割り込み入力信号] IRQ3* ~ IRQ0*
 [3線式シリアル信号] SCK、SMI、SMO
 (3線式シリアル信号は「SPI」インターフェースを持つ拡張ボードをCAT300バスに接続時使用)
- 電源電圧 : 5V ± 5% 消費電流 : 120mA MAX
- 動作温度範囲 : 0 ~ 55 (結露のないこと)
- 基板 : 外形寸法 107 × 126mm (突起部除く) 質量 約76g
 取付穴寸法 99 × 118mm (4- 3.5)
 材質 FR-4、1.6t、4層基板

SH-2A/SH7267の説明書・資料について

この取り扱い説明書はCAT321ボード固有の項目 (本ボードのハードウェア構成、CPU内蔵レジスタの基本的な設定、コネクタのピン配列など) に関してのみ記述しています。

CAT321で使用している「SH-2A/SH7267」のマニュアルや資料はルネサスエレクトロニクスのWebサイトからダウンロードしていただくか、ルネサスエレクトロニクスの代理店などから入手して下さい。

- ・SH7266、SH7267グループ ユーザーズマニュアル ハードウェア編
- ・SH-2A、SH2A-FPU ユーザーズマニュアル ソフトウェア編
- ・アプリケーションノート
- ・テクニカルアップデート など

ブートモード

SH7267には4つのブートモードがあります。本ボードでは【SW3】と【SW4】によりブートモードを選択できますが、両スイッチ共にレバ一位置をA側に設定してブートモード1で起動して下さい。

ブートモード1はルネサスシリアルペリフェラルインタフェースのチャンネル0に接続されたシリアルフラッシュメモリから18MHzのシリアルクロックでローダプログラムを読み込み起動するモードです。

尚ブートモード0,2,3では正常に起動することができませんのでブートモード1以外には設定しないで下さい。

【SW3、SW4】ブートモードの選択

| SW4 | SW3 | ブートモード |
|-----|-----|------------------------------|
| A | A | シリアルフラッシュメモリから低速ブート(ブートモード1) |
| A | B | CS0空間に接続されたメモリからブート(ブートモード0) |
| B | A | シリアルフラッシュメモリから高速ブート(ブートモード3) |
| B | B | NANDフラッシュメモリからブート(ブートモード2) |

アドレスマップ

CAT321のアドレスマップを以下に示します。(1)と(2)の大容量内蔵RAMは同じメモリです。(1)のアドレスからアクセスするとキャ

ッシュが有効になり、(2)のアドレスからアクセスするとキャッシュが無効になります。

なお、割付デバイス欄に未使用エリアまたは予約エリアと記入のあるアドレスにはアクセスしないで下さい。

■ アドレスマップ

| アドレス | 空間 | 割付デバイス | サイズ | キャッシュ |
|-----------------------------|---------|---------------------|-----------------|-------|
| H' 0000 0000 ~ H' 1BFF FFFF | CS0~CS6 | 未使用エリア | 448Mバイト | 有効 |
| H' 1C00 0000 ~ H' 1C17 FFFF | その他 | 大容量内蔵RAM (※1) | 1.5Mバイト | |
| H' 1C18 0000 ~ H' 1FFF FFFF | | 予約エリア | 62.5Mバイト | |
| H' 2000 0000 ~ H' 33FF FFFF | CS0~CS4 | 未使用エリア | 320Mバイト | 無効 |
| H' 3400 0000 ~ H' 3400 OFFF | CS5 | CAT300バスによる拡張I/Oエリア | 4Kバイト (バス幅8bit) | |
| H' 3400 1000 ~ H' 37FF FFFF | | CAT300バスのイメージ | 64M - 4Kバイト | |
| H' 3800 0000 ~ H' 3BFF FFFF | CS6 | 未使用エリア | 64Mバイト | |
| H' 3C00 0000 ~ H' 3C17 FFFF | その他 | 大容量内蔵RAM (※2) | 1.5Mバイト | |
| H' 3C18 0000 ~ H' 3FFF FFFF | | 予約エリア | 62.5Mバイト | |
| H' 4000 0000 ~ H' FFF7 FFFF | その他 | 予約エリア | 3072M - 512Kバイト | - |
| H' FFF8 0000 ~ H' FFF8 FFFF | | 高速内蔵RAM | 64Kバイト | |
| H' FFF9 0000 ~ H' FFFB FFFF | | 予約エリア | 192Kバイト | |
| H' FFFC 0000 ~ H' FFFF FFFF | | 内蔵周辺モジュール | 256Kバイト | |

・未使用エリアおよび予約エリアをアクセスした場合は、動作の保証は出来ません。

・※1と※2の大容量メモリは同じメモリです。※1にアクセスするとキャッシュ有効、※2にアクセスするとキャッシュ無効でアクセスできます。

クロック発振器の設定

SH7267はPLL回路、分周回路を内蔵しており外部クロック入力を元にCPUクロック(I)、周辺クロック(P)、およびバスクロック(B)を生成します。CAT321ではUSB_X1端子から48MHzのクロックを入力し

て動作するクロック動作モード1を使用しています。周波数制御レジスタ(FRQCR)を次表のように設定するとCPUクロック(I)が144MHz、周辺クロック(P)が36MHzで動作します。バスクロックは72MHz固定で変更することはできません。

■ 周波数制御レジスタの設定 (CPUクロック[Iφ]、周辺クロック[Pφ]の選択)

| レジスタ名称 | 略称 | 設定値[bit15 bit0] | 主な設定内容 |
|-------------|-------|-------------------------|----------------------|
| ★ 周波数制御レジスタ | FRQCR | [0000 0001 0000 0011] | Iφ: 144MHz、Pφ: 36MHz |

・★印のレジスタは必ず、☆印のレジスタは必要に応じて設定して下さい。設定値が0又は1のビットは指定値を、X印のビットは使用目的に合った値を設定して下さい。

バスコントローラの設定

SH7267のバスコントローラを設定し、外部アドレス空間を有効にしてCAT300シリーズのI/Oボードをバスに接続できる様にします。

- ・ポートBコントロールレジスタ2~0でアドレスバスA11~A1を設定
- ・ポートJコントロールレジスタ0でアドレスバスA0を設定
- ・ポートCコントロールレジスタ0でWE0*、RD*信号を設定
- ・ポートDコントロールレジスタ1~0でデータバスD7~D0を設定

・ポートFコントロールレジスタ1でCS5*信号を設定、同時にFIFO内蔵シリアルコミュニケーションインタフェースのTXD3信号も有効にします。

・CS5空間バスコントロールレジスタでアイドルサイクル、バスに接続するデバイスの種類、バス幅などを設定

・CS5空間ウェイトコントロールレジスタでアサート/ネゲートサイクル、ウェイトサイクルなどを設定

以下にバスコントローラの設定一覧表を示します。

■ バスコントローラの設定 (CAT300バス用のアドレス、データ信号やバス信号のタイミングなどを設定)

| レジスタ名称 | 略称 | 設定値[bit31 bit16] [bit15 bit 0] | 主な設定内容 |
|-----------------------|--------|--|--|
| ★ ポートBコントロールレジスタ2 | PBCR2 | [0001 0001 0001 0001] | PB11~PB8をアドレスバスA11~A8に設定 |
| ★ ポートBコントロールレジスタ1 | PBCR1 | [0001 0001 0001 0001] | PB7~PB4をアドレスバスA7~A4に設定 |
| ★ ポートBコントロールレジスタ0 | PBCR0 | [0001 0001 0001 0000] | PB3~PB1をアドレスバスA3~A1に設定 |
| ★ ポートJコントロールレジスタ0 | PJCRO | [0000 0000 0000 0101] | PJ2~PJ0をPJ2、PJ1、アドレスバスA0に設定 |
| ★ ポートCコントロールレジスタ0 | PCCR0 | [0001 0000 0001 0000] | PC3~PC0をWE0*、PC2、RD*、PC0Iに設定 |
| ★ ポートDコントロールレジスタ1 | PDCR1 | [0001 0001 0001 0001] | PD7~PD4をデータバスD7~D4に設定 |
| ★ ポートDコントロールレジスタ0 | PDCR0 | [0001 0001 0001 0001] | PD3~PD0をデータバスD3~D0に設定 |
| ★ ポートFコントロールレジスタ1 | PF0CR1 | [0000 0000 0001 0100] | PF7~PF4をPF7、PF6、CS5*/CE1A*、TXD3に設定 |
| ★ CS5空間バスコントロールレジスタ | CS5BCR | [0000 0000 0000 0000] [0000 1010 0000 0000] | 全てのリード/ライトでアイドルサイクルなし、通常空間、リトルエンディアン、バス幅8ビット |
| ★ CS5空間ウェイトコントロールレジスタ | CS5WCR | [0000 0000 0000 0000] [0001 1101 0100 0011] | RD*、WR*アサート/ネゲート:3.5サイクル RD*、WR*ウェイト:14サイクル、外部ウェイト:無視 |

・★印のレジスタは必ず、☆印のレジスタは必要に応じて設定して下さい。設定値が0又は1のビットは指定値を、X印のビットは使用目的に合った値を設定して下さい。

割り込み

SH7267にはCPU内蔵周辺モジュール割り込みの他、外部割り込み入力のIRQ7～IRQ0があります。本ボードではこのうちIRQ7とIRQ3～IRQ0を外部割り込み入力として使用できます。

IRQ7はI/O用コネクタ【CN3】に接続していますが汎用入出力信号PG7と端子が共用になっています。

IRQ3～IRQ0はCAT300バスからの割り込み要求入力に割り当てていますのでバスコネクタ【CNO】に接続しています。CAT300バスに接続する拡張ボードによっては一つの割り込み信号線に複数の割り込み要

求をOR接続していますので、割り込みコントロールレジスタ1の設定は「割り込み要求をIRQn入力のローレベルで検出する」を選んでポーリングで割り込み要求元を確定して下さい。

■ 外部割り込み入力の接続先

| SH7267の外部割り込み入力 | 割り付け先 |
|-----------------|---------------------------|
| IRQ7 | I/Oコネクタ【CN3】に接続 (PG7と共用) |
| IRQ3 | CAT300バスのIRQ3* (CNOの7Bピン) |
| IRQ2 | CAT300バスのIRQ2* (CNOの7Aピン) |
| IRQ1 | CAT300バスのIRQ1* (CNOの6Bピン) |
| IRQ0 | CAT300バスのIRQ0* (CNOの6Aピン) |

■ 割り込み制御モード、CAT300バスの割り込み信号設定

| | レジスタ名称 | 略称 | 設定値 [bit15 bit0] | 主な設定内容 |
|---|-----------------|-------|--------------------------|----------------------------|
| ★ | ポートEコントロールレジスタ0 | PECR0 | [0011 0011 0011 0011] | PE3～PE0を割り込み入力IRQ3～IRQ0に設定 |
| ☆ | 割り込みコントロールレジスタ1 | ICR1 | [XXXX XXXX 0000 0000] | IRQ3～IRQ0のセンスセレクトをローレベルに設定 |

・★印のレジスタは必ず、☆印のレジスタは必要に応じて設定して下さい。設定値が0又は1のビットは指定値を、X印のビットは使用目的に合った値を設定して下さい。

その他の設定

SH7267はリセット解除後に内蔵周辺モジュールへのクロック供給が停止状態になりますので使用するモジュールはスタンバイコントロールレジスタで供給停止を解除します。またシステムコントロール

レジスタ5を設定して保持用内蔵RAMをライト有効にします。

各ポートのコントロールレジスタを設定してFIFO内蔵シリアルコミュニケーションインタフェース機能やルネサスシリアルペリフェラルインタフェース機能を有効にする他、ポートI/Oレジスタでポートの入出力設定なども行なって下さい。

■ スタンバイコントロールレジスタ・汎用入出力ポートのレジスタ設定

| | レジスタ名称 | 略称 | 設定値 [bit15 bit0] | 主な設定内容 |
|---|------------------|--------|--------------------------|-----------------------------------|
| ★ | スタンバイコントロールレジスタ3 | STBCR3 | [0101 1010] | マルチファンクションタイマ2、AD変換、RTCは動作 |
| ★ | スタンバイコントロールレジスタ4 | STBCR4 | [0000 0000] | シリアルコミュニケーションインタフェースは全て動作 |
| ★ | スタンバイコントロールレジスタ5 | STBCR5 | [1111 1100] | シリアルペリフェラルインタフェースは2チャンネル共動作 |
| ★ | スタンバイコントロールレジスタ7 | STBCR7 | [1111 1011] | コンペアマッチタイマは動作 |
| ★ | システムコントロールレジスタ5 | SYSCR5 | [0000 1111] | 保持用内蔵RAM全ページヘライト有効 |
| ★ | ポートBコントロールレジスタ5 | PBCR5 | [0000 0100 0100 0000] | PB22～PB20をRXD4、TXD4、PB20に設定 |
| ★ | ポートBデータレジスタ1 | PBDR1 | [0000 0000 0000 0011] | PB17～PB16のデータレジスタに“1”をセット |
| ★ | ポートBデータレジスタ0 | PBDR0 | [1110 0000 0000 0000] | PB15～PB13のデータレジスタに“1”をセット |
| ★ | ポートB、I/Oレジスタ1 | PBIOR1 | [0000 0000 0000 0011] | PB20～PB18を入力、PB17～PB16を出力に設定 |
| ★ | ポートB、I/Oレジスタ0 | PBIOR0 | [1110 0000 0000 0000] | PB15～PB13を出力に設定 |
| ★ | ポートE、I/Oレジスタ0 | PEIOR0 | [0000 0000 0010 0000] | PE5を出力、PE4を入力に設定 |
| ★ | ポートFコントロールレジスタ3 | PFCR3 | [0000 0000 0000 0011] | PF12をMISO0に設定 |
| ★ | ポートFコントロールレジスタ2 | PFCR2 | [0111 0011 0011 0000] | PF11～PF8をMOSI0、SSL0、RSPCK0、PF8に設定 |
| ★ | ポートFコントロールレジスタ0 | PFCR0 | [0100 0100 0100 0000] | PF3～PF0をRXD3、TXD2、RXD2、PF0に設定 |
| ★ | ポートF、I/Oレジスタ0 | PFIOR0 | [0000 0001 0000 0000] | PF12～PF9、PF7～PF0を入力、PF8を出力に設定 |
| ★ | ポートGコントロールレジスタ6 | PGCR6 | [0000 0000 0000 0001] | PG24をMISO1に設定 |
| ★ | ポートGコントロールレジスタ5 | PGCR5 | [0001 0001 0001 0X0X] | PG23～PG21をMOSI1、SSL10、RSPCK1に設定 |
| ★ | ポートGコントロールレジスタ4 | PGCR4 | [0XXX 0XXX 0100 0100] | PG17～PG16をTXD1、RXD1に設定 |
| ★ | ポートGコントロールレジスタ3 | PGCR3 | [0100 0100 0100 0100] | PG15～PG12をTXD7、RXD7、TXD6、RXD6に設定 |
| ★ | ポートGコントロールレジスタ2 | PGCR2 | [0100 0100 0XXX 0XXX] | PG11～PG10をTXD5、RXD5に設定 |
| ★ | ポートGコントロールレジスタ1 | PGCR1 | [0XXX 0000 0000 0000] | PG6～PG4をPG6、PG5、PG4に設定 |
| ☆ | ポートGコントロールレジスタ0 | PGCR0 | [0000 0000 0000 0000] | PG3～PG0をPG3、PG2、PG1、PG0に設定 |
| ☆ | ポートG、I/Oレジスタ0 | PGIOR0 | [0000 00XX X000 0000] | PG6～PG0を入力に設定 |
| ☆ | ポートJコントロールレジスタ1 | PJCR1 | [0000 0000 0000 0000] | PJ3をPJ3に設定 |
| ★ | ポートJ、I/Oレジスタ0 | PJIOR0 | [0000 0000 0000 1000] | PJ3出力、PJ2を入力に設定 |

・★印のレジスタは必ず、☆印のレジスタは必要に応じて設定して下さい。設定値が0又は1のビットは指定値を、X印のビットは使用目的に合った値を設定して下さい。

ルネサスシリアルペリフェラルインタフェース

SH7267はルネサスシリアルペリフェラルインタフェースを2チャンネル内蔵しています。このうちチャンネル0はプログラム格納用のシリアルフラッシュメモリに接続しています。

チャンネル1の信号(RSPCK10,MOSI1,MISO1)はボード上のシリアルF-RAM(不揮発性強誘電体メモリ)に接続しています。またバッファIC経由でバスコネクタ【CNO】にも接続しており、[SPI]インタフェースの拡張ボードを接続した場合に、3線式シリアルバスとして使用します。F-RAMのチップセレクト(CS*)にはSSL10信号が接続しておりSSL10信号をローレベルにするとF-RAMにアクセスでき、SSL10信号をハイレベルにするとコネクタ【CNO】のSM1端子の信号がSMISO1に入力されて拡張ボードにアクセスできます。(バス周辺の回路図を参照)

尚、ボード上のシリアルフラッシュメモリやシリアルF-RAMにアクセスするときのクロック周波数は18MHz以下、バスコネクタ【CNO】に接続した拡張ボードにアクセスするときのクロック周波数は2.5MHz以下で使用して下さい。(拡張ボードによる制約)

FIFO内蔵シリアルコミュニケーションインタフェース

SH7267のFIFO内蔵シリアルコミュニケーションインタフェースを調歩同期モードで7チャンネル使用できます。チャンネルごとに任意のビットレートを選択可能で標準的なビットレート系列に合わせた場合、最大115200bpsのビットレートで使用できます。

FIFO内蔵シリアルコミュニケーションインタフェースのCH1以外のチャンネルでは送受信信号(TXD,RXD)のみがサポートされておりモデム制御信号(RTS,CTS)はサポートされていません。この為、本ボードでは一部のパラレルポートをRTS,CTS信号の代わりとして使用できる様に各チャンネル毎に割り当てていますので必要な場合はソフトウェアでモデム信号を制御して下さい。(CH1にもパラレルポートのRTS,CTSを割り当てています、CH6とCH7には割り当てていません)

モデム制御信号とパラレルポートとの対応は次表のようになっており各信号は、RS232用のトランシーバICを通してコネクタ【CN1】に接続しています。

RTS*,CTS*信号と代用パラレルポートの対応

| RTS*信号 | パラレルポート | CTS*信号 | パラレルポート |
|--------|---------|--------|---------|
| RTS1* | PB13 | CTS1* | PG1 |
| RTS2* | PB14 | CTS2* | PG2 |
| RTS3* | PB15 | CTS3* | PG3 |
| RTS4* | PB16 | CTS4* | PG4 |
| RTS5* | PB17 | CTS5* | PG5 |

- RTS*信号はパラレルポートの該当ビットに"1"を設定すると"L"レベル(負電圧)、"0"を設定すると"H"レベル(正電圧)が出力されます。
- CTS*信号は"L"レベル(負電圧)入力では"1"が、"H"レベル(正電圧)入力では"0"が、パラレルポートの該当ビットから読み込めます。

[CH1,CH2,CH3,CH4,CH5] : チャンネル1~5のTXD,RXD信号はRS232用のトランシーバICを通してコネクタ【CN1】に接続しています。

[CH6,CH7] : チャンネル6と7のTXD,RXD信号はRS422(RS485)のインタフェースICを通して【CN1】に接続しています。

- チャンネル6 : パラレルポートPF8を"1"にセットするとドライバICの出力はイネーブルになり、"0"にするとディセーブルになります。レシーバは常にイネーブルです。【SJ1】を半田でジャンパすると約160Ωで終端できます。
- チャンネル7 : パラレルポートPJ3を"1"にセットするとドライバICの出力はイネーブルになり、"0"にするとディセーブルになります。レシーバは常にイネーブルです。【SJ2】を半田でジャンパすると約160Ωで終端できます。
- ドライバ出力とレシーバ入力を接続して2線式(RS485)で使用する場合は、自分の送信データを自分でも受信することになりますので受信データの読み捨てが必要です。
尚、チャンネル6と7にはRTS,CTS信号はありません。

パラレルI/O

パラレルI/Oを12ビット使用できます。パラレルI/OはSH7267内蔵の各種周辺機能と入出力端子を共用していますので、周辺機能として使用するピンはパラレルI/Oとして使用できません。本ボードで使用可能なパラレルI/Oは以下の通りでコネクタ【CN3】に接続しています。

- [PG7~PG9] 3bit ビット単位で入出力可 47KΩでプルダウン
- [PG18~P20] 3bit ビット単位で入出力可 47KΩでプルダウン
- [PH0~PH5] 6bit 全ビット入力専用

ポートPH0~PH5はA/Dコンバータ(ANO~AN5)と入力端子が共用になっており、各端子には保護用のダイオードと1KΩの抵抗、0.01μFのコンデンサが接続されています。プルアップははされていませので必要な場合は外部にプルアップ抵抗を接続して3.3Vラインにプルアップして下さい。(入力周辺の回路図を参照して下さい)

(注記)パラレルI/O端子は3.3V動作です。5V系の回路と直接接続すると損傷しますので注意して下さい。

USB2.0コントローラ

SH7267はUSBホストコントローラ機能とファンクションコントローラ機能を備えたUSBモジュールを内蔵しており、USB2.0規格のハイスピード転送、およびフルスピード転送に対応しています。CAT321ではファンクションコントローラとして使用する前提でUSB miniBコネクタ【CN2】にUSB信号を接続しています。またUSBのステータス表示用に緑LED【LED1】を実装していますが他の用途に使用してもかまいません。パラレルポートPE5に"0"をライトするとLEDが点灯します。

なおUSBミドルウェアメーカーのインターフェイス(株)の仮想COMポート対応ライブラリ(HEW4-SHC版)を有償提供する準備をしています。提供可能になりましたら <http://www.aone.co.jp/tools/AH7000/> でお知らせします。

A/Dコンバータ

SH7267は10ビット,6チャンネルの逐次比較方式A/Dコンバータを内蔵しています。A/Dコンバータの入力端子(ANO~AN5)はパラレルポートPH0~PH5と信号端子が共用になっておりコネクタ【CN3】に接続しています。(パラレルI/Oの項目も参照下さい)

A/Dコンバータの基準電圧端子(AVREF)に供給するリファレンス電圧は、電源(AVCC)の3.3Vか若しくはリファレンスIC(LM4132CMF-3.0)の3.0V出力をスイッチ【SW2】で選択することができます。

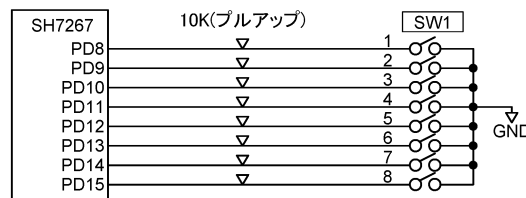
【SW2】AVREF端子に供給するリファレンスの選択

| SW2のレバー位置 | 使用するリファレンス電圧 |
|-----------|--------------------------------|
| A | AVCCに供給している3.3V電源 |
| B | リファレンスIC(LM4132CMF-3.0)の3.0V出力 |

汎用DIPスイッチ

ユーザの各種動作設定などに汎用的に使用できる8ビットのDIPスイッチ【SW1】を実装しています。

DIPスイッチの状態はパラレルポートのPD8~PD15を使用して入力しています。DIPスイッチと入力ポートのビット対応は下図のようになっており、スイッチがONのビットは"0"、OFFのビットは"1"として読み込まれます。



シリアルフラッシュメモリ

CAT321で使用しているSH7267にはフラッシュROMが内蔵されていませんのでプログラム格納用のメモリとして2Mバイトのシリアルフラッシュメモリをボードに実装しています。このメモリは10万回の書き換えが可能ですから書き換え頻度のあまり多くないデータの保持などにも利用できます。(ブートモード・ルネサスシリアルペリフェラルインタフェースの項目も参照下さい)

シリアルF-RAM (強誘電体メモリ)

CAT321にはデータのバックアップ用として強誘電体ランダムアクセスメモリ(F-RAM)を実装しています。本ボードではCypress製(旧RAMTRON製)の8KバイトのシリアルF-RAMを使用してSH7267内蔵のルネサスシリアルペリフェラルインタフェースのチャンネル1に接続しています。シリアルF-RAMはシリアルEEPROMのようなmSEC単位の長い書き込みサイクル時間を必要としませんので、書き込み待ち時間ゼロで連続してリード/ライトできます。

シリアルF-RAMは揮発性のメモリセルで形成されており、バッテリーやスーパーキャパシタなどを使用することなくデータの長期保持が可能です。リード/ライト可能な回数は10の14乗回(100兆回)でデータ保持能力は38年(@+75℃)です。例えば休むことなく10μSECに1回のアクセスを連続で繰り返しても31年以上の耐久性がある計算になります。(ルネサスシリアルペリフェラルインタフェースの項目も参照下さい)

リセット

リセットICにより以下の条件でリセット状態になります。リセット状態はリセット発生条件解除後、約100mSEC間保持されます。

- ・パワーONリセット : 電源投入時に発生
- ・電圧低下時 : 電源の5Vラインが約4.2V以下になった時に発生

この他「H-デバッグ」接続用コネクタ【CN4】のRES*入力がLOWレベル時にもリセット状態になりますが、この場合はRES*入力がHIに戻ると20μSECほどでリセットは解除されます。

増設ボードのアドレス

CAT300バスに接続した増設I/Oボードにアクセスする場合のアドレスについて説明します。

CAT300バスのコネクタ【CNO】にはアドレス信号として"A0~A11"の12ビットを出力しています。

また、バスコネクタにセレクト信号(SELO*)を出力しており、CAT300バスに割り当てている4Kバイトのアドレス範囲「H'3400 0000~H'3400 OFFF」をSH7267がアクセスしている時、このセレクト信号(SEKO*)がイネーブルになります。

一方、CAT300バスに接続した各増設I/Oボードにはアドレス設定用のDIPスイッチが実装されています。このDIPスイッチで選択したボードの先頭アドレスとCAT300バス上のアドレス信号が一致し、且つ先のセレクト信号(SELO*)がイネーブルになった時に各増設I/Oボードにアクセスできます。

例1: CAT305 D10-24/24ボードを増設し、ボード上のDIPスイッチで先頭アドレスとして"038H"を選択した場合のボードアドレスは次の範囲になります。 " H'3400 0038 ~ H'3400 003D "

例2: CAT308 S10-4ボードを増設し、ボード上のDIPスイッチで先頭アドレスとして"220H"を選択した場合のボードアドレスは次の範囲になります。 " H'3400 0220 ~ H'3400 023F "

例3: CAT309 MC-2ボードを増設し、ボード上のDIPスイッチで先頭アドレスとして"000H"を選択した場合のボードアドレスは次の範囲になります。 " H'3400 0000 ~ H'3400 000F "

- 各増設I/Oボードのアドレスは重複しないように設定して下さい。
- 増設I/Oボードのアドレスの設定方法は、各ボードの取り扱い説明書を参照して下さい。

デバッグ・シリアルフラッシュメモリ書込み

- ルネサスのCコンパイラは、SH-2A対応のコンパイラバージョンを使用して下さい。
- コネクタ【CN4】に「H-デバッグ」を接続することにより、SH7267のオンチップエミュレーション機能を利用したプログラムデバッグとシリアルフラッシュメモリへのダウンロードが可能になります。スイッチ【SW5】のレバー位置を"A"側に設定すると通常のプログラム実行モードになります。"B"側に設定するとオンチップエミュレーションモードになり、デバッグ作業やシリアルフラッシュメモリへのプログラムダウンロードが可能になります。

【 SW5 】 SH7267の動作モード設定

| SW5のレバー位置 | SH7267の動作 |
|-----------|------------------|
| A | 通常のプログラム実行モード |
| B | オンチップエミュレーションモード |

- 「H-デバッグ」はSH7264の以下の端子を使用してオンチップデバッグエミュレーションを実行します。

[TDI、TDO、TCK、TRST、TMS]

- バス関連レジスタ設定用のスクリプトファイルをあらかじめ用意しておき、「H-デバッグ」でのデバッグ時、[ファイル] -> [スクリプト実行]で、用意しておいたスクリプトファイルを実行させると、SH7267の8ビット外部バスが有効になりCAT300バス【CNO】に増設したI/Oボードに対してメモリダンプ・メモリセットなどのコマンドを使用できるようになります。また、[オプション] -> [CPU設定] -> [外部RAM時のBSC設定スクリプト指定]の[許可]にチェックを入れてスクリプトファイルを指定しておいても、ユーザプログラムのダウンロード時や【RstMon】、【Reset】コマンド実行時に自動的にスクリプトファイルが実行されて外部バスアクセスが可能になります。スクリプトファイルの例(CAT321-BSC.log)を右に示します。

スクリプトファイルの例

```
//
// CAT321 SBC-7267 用 外部バス関連レジスタ設定スクリプト
//
// CAT321-BSC.log
//
// このスクリプトを実行することにより外部バス関連のレジスタが
// 初期設定され、CAT300バスへのアクセスが可能になります
//
// 入力クロック : 48Hz (クロックモード1)
// CAT300バス : CS5 空間 (0x3400_0000~0x3400_OFFF)、8bit
//
// (注記)
// ・SQ コマンドは Ver7.10A より使用可能です。 Ver7.10A 未満の
// 場合はビット長に合わせた[S/SS/SL]に変更して下さい。
// ・コメントはコマンド実行ラインに記述しないで下さい。
//

// 周波数制御レジスタ ( I :144MHz、P :36MHz、B :72MHz )
<SQ FRQCR 0x0103 W

// ポートBコントロールレジスタ2 ( アドレスバス:A11~A8 )
<SQ PBCR2 0x1111 W

// ポートBコントロールレジスタ1 ( アドレスバス:A7~A4 )
<SQ PBCR1 0x1111 W

// ポートBコントロールレジスタ0 ( アドレスバス:A3~A1 )
<SQ PBCR0 0x1110 W

// ポートJコントロールレジスタ0 ( アドレスバス:A0 )
<SQ PJCR0 0x0005 W

// ポートCコントロールレジスタ0 ( WE0*、RD* )
<SQ PCCR0 0x1010 W

// ポートDコントロールレジスタ1 ( データバス:D7~D4 )
<SQ PDCR1 0x1111 W

// ポートDコントロールレジスタ0 ( データバス:D3~D0 )
<SQ PDCR0 0x1111 W

// ポートFコントロールレジスタ1 ( CS5*、TXD3 )
<SQ PFCR1 0x0014 W

// CS5 空間バスコントロールレジスタ ( 全てアイドルなし )
// ( 通常空間、リトルエンディアン、バス幅 8bit )
<SQ CS5BCR 0x0000A00 W

// CS5 空間ウェイトコントロールレジスタ ( 外部ウェイト無視 )
// ( アサート/ネゲート:3.5 サイクル、ウェイト : 14 サイクル )
<SQ CS5WCR 0x00001D43 W

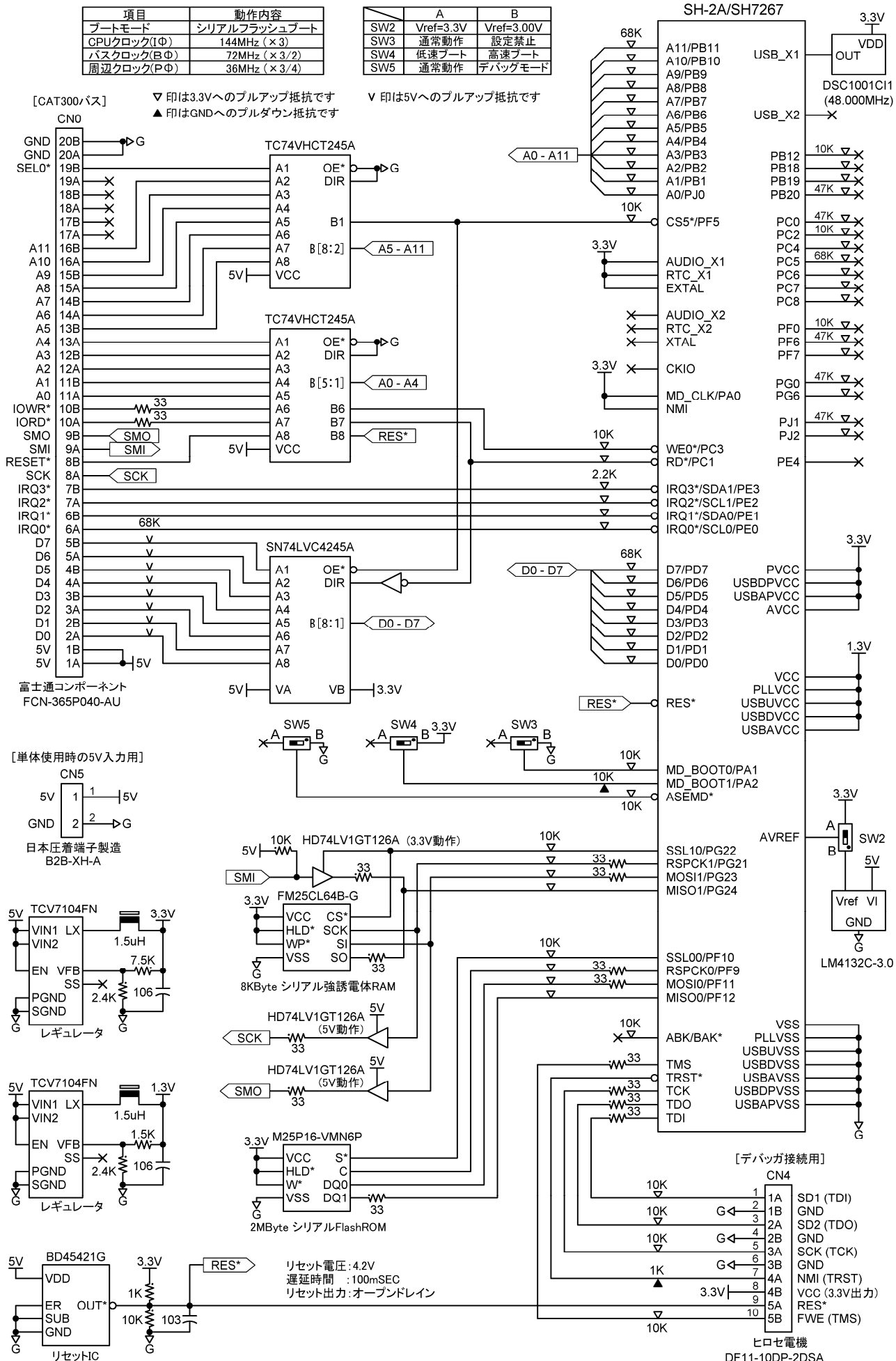
// システムコントロールレジスタ5
// ( 保持用内蔵RAM 全ページ、ライト有効 )
<SQ SYSCR5 0xF W

// キャッシュ制御レジスタ1 ( 全キャッシュディスエーブル )
<SQ CCR1 0x0 W
```

バス周辺の回路図

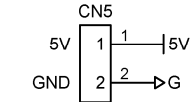
| 項目 | 動作内容 |
|-------------|--------------|
| ブートモード | シリアルフラッシュブート |
| CPUクロック(IΦ) | 144MHz (×3) |
| バスクロック(BΦ) | 72MHz (×3/2) |
| 周辺クロック(PΦ) | 36MHz (×3/4) |

| | A | B |
|-----|-----------|------------|
| SW2 | Vref=3.3V | Vref=3.00V |
| SW3 | 通常動作 | 設定禁止 |
| SW4 | 低速ブート | 高速ブート |
| SW5 | 通常動作 | デバッグモード |

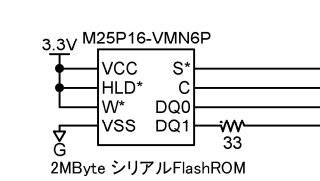
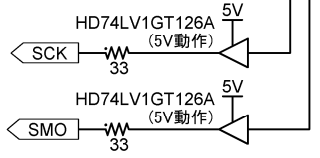
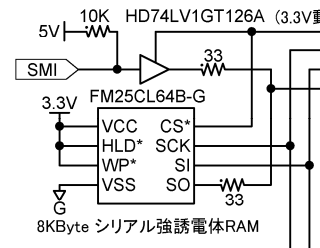
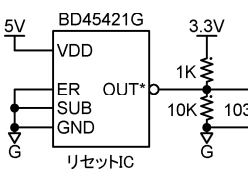
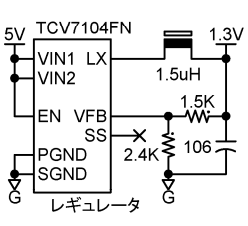
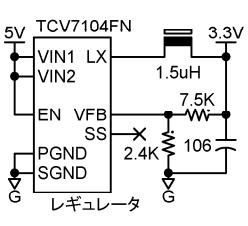


[CAT300/バス] ▽印は3.3Vへのプルアップ抵抗です ▼印は5Vへのプルアップ抵抗です
 ▲印はGNDへのプルダウン抵抗です

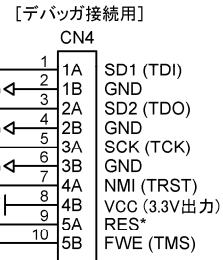
[単体使用時の5V入力用]



日本住着端子製造 B2B-XH-A

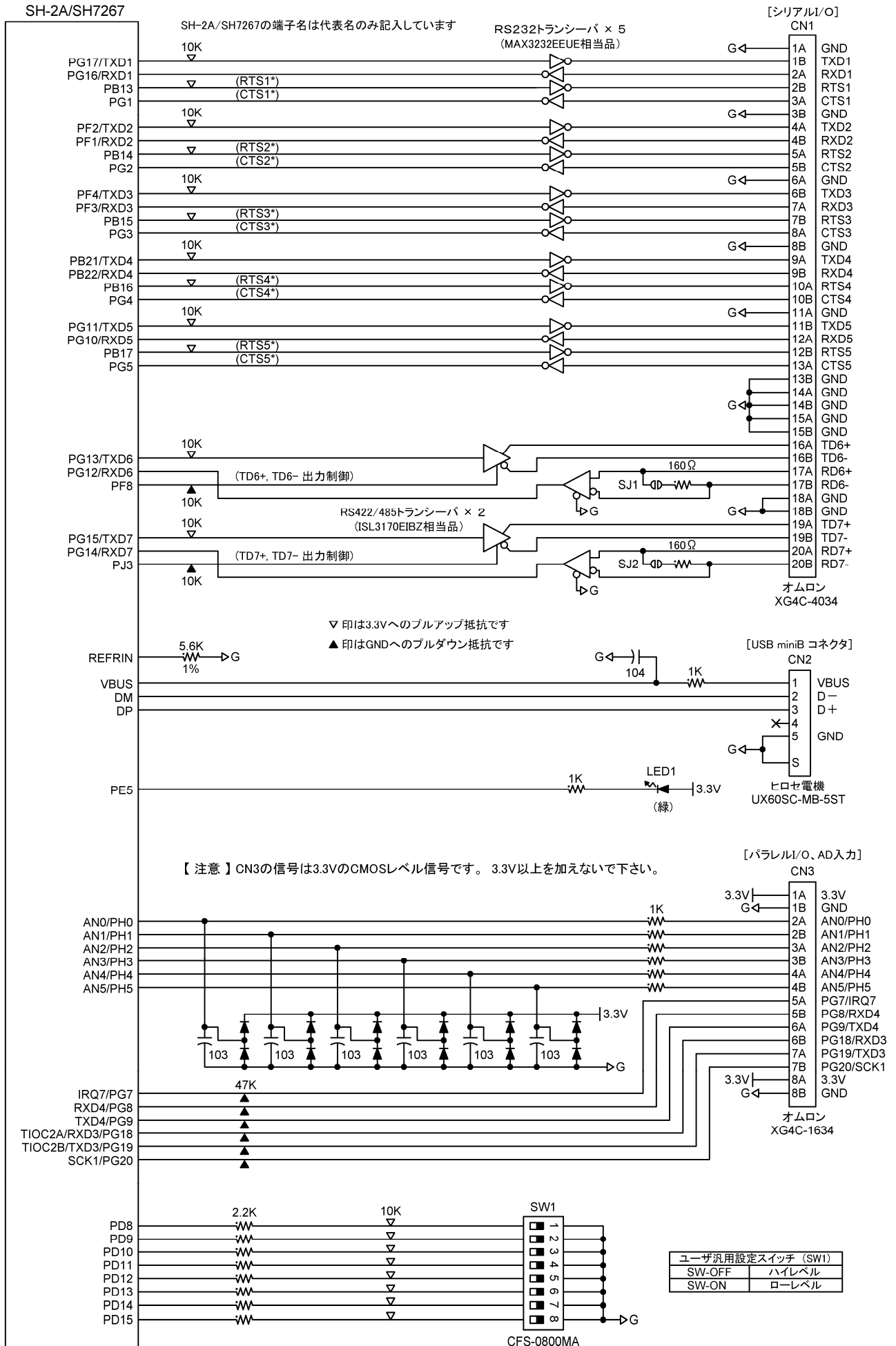


リセット電圧: 4.2V
 遅延時間: 100mSEC
 リセット出力: オープンドレイン

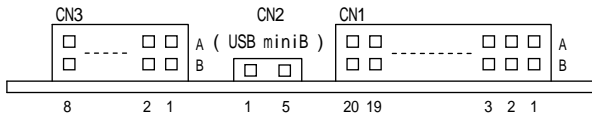


ヒロセ電機 DF11-10DP-2DSA

入出力周辺の回路図



I/Oコネクタ (CN1, CN3)のピン配列



コネクタをボードの外側から見た図です

【 CN1 】ピン配列

| 信号名 | ピン番 | | 信号名 |
|------|-----|-----|------|
| GND | 1A | 1B | TXD1 |
| RXD1 | 2A | 2B | RTS1 |
| CTS1 | 3A | 3B | GND |
| TXD2 | 4A | 4B | RXD2 |
| RTS2 | 5A | 5B | CTS2 |
| GND | 6A | 6B | TXD3 |
| RXD3 | 7A | 7B | RTS3 |
| CTS3 | 8A | 8B | GND |
| TXD4 | 9A | 9B | RXD4 |
| RTS4 | 10A | 10B | CTS4 |
| GND | 11A | 11B | TXD5 |
| RXD5 | 12A | 12B | RTS5 |
| CTS5 | 13A | 13B | GND |
| GND | 14A | 14B | GND |
| GND | 15A | 15B | GND |
| TD6+ | 16A | 16B | TD6- |
| RD6+ | 17A | 17B | RD6- |
| GND | 18A | 18B | GND |
| TD7+ | 19A | 19B | TD7- |
| RD7+ | 20A | 20B | RD7- |

・1A~13AピンはRS232レベル、16A~20BピンはRS422, 485レベルの信号です。

【 CN3 】ピン配列

| 信号名 | ピン番 | | 信号名 |
|-----------------|-----|----|-----------------|
| 3.3V出力 | 1A | 1B | GND |
| PH0/AN0 | 2A | 2B | PH1/AN1 |
| PH2/AN2 | 3A | 3B | PH3/AN3 |
| PH4/AN4 | 4A | 4B | PH5/AN5 |
| PG7/IRQ7 | 5A | 5B | PG8/RXD4 |
| PG9/TXD4 | 6A | 6B | PG18/RXD3/TIO2A |
| PG19/TXD3/TIO2B | 7A | 7B | PG20/SCK1 |
| 3.3V出力 | 8A | 8B | GND |

- ・このコネクタの信号は全て3.3VのCMOSレベル信号です。
- ・3.3V出力は1A, 8Aピン合計で300mAまで外部で使用できます。

H-デバッグ用コネクタ (CN4)のピン配列

【 CN4 】ピン配列

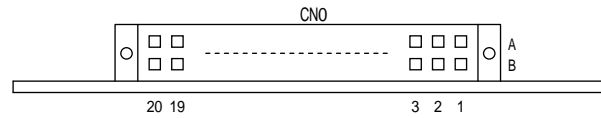
| ピン番号 | H-debuggerの信号名 | 機能 |
|------------|----------------|--------|
| 1A | SD1 | TDI |
| 2A | SD2 | TDO |
| 3A | SCK | TCK |
| 4A | NMI | TRST |
| 5A | RES* | リセット入力 |
| 1B, 2B, 3B | GND | GND |
| 4B | VCC | 3.3V出力 |
| 5B | FWE | TMS |

単体使用時の電源コネクタ (CN5)のピン配列

【 CN5 】ピン配列と説明

| ピン番号 | 信号名 | 機能 |
|------|-----|-----------------------------------|
| 1 | 5V | 本ボードを単体で使用する場合はこのコネクタから電源を供給して下さい |
| 2 | GND | |

バスコネクタ (CN0)のピン配列



コネクタをボードの外側から見た図です

【 CN0 】ピン配列 (CAT300バス)

| 信号名 | ピン番 | | 信号名 |
|-------|-----|-----|--------|
| 5V | 1A | 1B | 5V |
| D0 | 2A | 2B | D1 |
| D2 | 3A | 3B | D3 |
| D4 | 4A | 4B | D5 |
| D6 | 5A | 5B | D7 |
| IRQ0* | 6A | 6B | IRQ1* |
| IRQ2* | 7A | 7B | IRQ3* |
| SCK | 8A | 8B | RESET* |
| SMI | 9A | 9B | SMO |
| IORD* | 10A | 10B | IOWR* |
| A0 | 11A | 11B | A1 |
| A2 | 12A | 12B | A3 |
| A4 | 13A | 13B | A5 |
| A6 | 14A | 14B | A7 |
| A8 | 15A | 15B | A9 |
| A10 | 16A | 16B | A11 |
| | 17A | 17B | |
| | 18A | 18B | |
| | 19A | 19B | SELO* |
| GND | 20A | 20B | GND |

- ・信号名が無記入のピンは、本ボードでは使用していません。
- ・(8A)ピンのSCK信号はH-デバッグ(CN4)のSCK信号とは無関係です。

コネクタの型番

バスコネクタCN0の型番 (富士通コンポーネント)

| 名称 | CN0型番 |
|---------------------|-------------------------|
| ライトアングルプラグ(基板側) | FCN365P040-AU(A3金具2個使用) |
| ストレートジャック(バックプレーン側) | FCN364J040-AU |

入出力用コネクタCN1, CN3の型番 (オムロン)

| 名称 | CN1型番 | CN3型番 | 備考 |
|----------------|-------------|-------------|--------|
| ヘッダー(基板側) | XG4C-4034 | XG4C-1634 | |
| ソケット+ストレーンリリーフ | XG4M-4030-T | XG4M-1630-T | 付属品 |
| 2列ソケット(バラ線圧接用) | XG5M-4032-N | XG5M-1632-N | AWG24用 |
| セミカバー(バラ線圧接用) | XG5S-2001 | XG5S-0801 | |
| ロックレバー | | XG4Z-0002 | |

H-デバッグ用コネクタCN4の型番 (ヒロセ電機)

| 名称 | CN4型番 |
|-------------------------|--------------------|
| ストレートピンヘッダ(基板側) | DF11-10DP-2DSA(01) |
| 圧着ソケット | DF11-10DS-2C |
| ソケット圧着端子(AWG24~28用バラ端子) | DF11-2428SCA |

コネクタCN5の型番 (日本圧着端子製造)

| 名称 | CN5型番 | 備考 |
|----------|---------------|-----|
| ポスト(基板側) | B2B-XH-A | |
| ハウジング | XHP-2 | 付属品 |
| コンタクトピン | BXH-001T-P0.6 | 付属品 |

注意!! 本製品を不適切な状態で使用されると発火・誤作動の可能性があり危険です

- 仕様範囲外の電圧を加えたり、過負荷で使用しないで下さい。
- サージ、ノイズ等が本製品に加わらない様、十分なノイズ対策を行って下さい。
- 本製品は人命にかかわる状況や、極めて高い信頼性が要求される用途を目的として設計・製造されたものではありません。

エーワン株式会社

〒486-0852 愛知県春日井市下市場町 6-9-20
TEL/FAX 0568-85-8511/8501
http://www.aone.co.jp/